

화학소재의 내열수축 및 유전특성 제어기술

전현애 · 원종찬 · 백경열 · 이석현

1. 기술의 정의

고분자소재는 타 소재에 비해서 우수한 공정성, 기계적 강도, 전기 절연성, 광학적 투명성, 대량생산성 등 다양한 물성 창출이 가능하여 반도체, 전기/전자산업, 우주/항공산업, 방위산업, 디스플레이, 대체에너지 등의 첨단산업 분야에서 중요한 산업용 신소재로 사용되고 있다. 또한 우수한 물성 및 공정성을 가지는 고분자 소재의 역할은 flexible electronics를 기반으로 하는 고품격 U-society 시대로 가고 있는 미래 산업 분야에서도 더욱 증대할 것으로 예상되고 있다.

그러나 유기화합물로부터 제조된 고분자소재는 고온에서 대부분 열적변형이 일어나고, 온도증감에 따른 소재의 수축/팽창이 심하여 제품으로의 가공성 및 치수안정성(dimensional stability) 확보에 큰 제

약이 따르고 있다. 또한 유전재료로서의 고분자소재는 분자설계에 의해 다양한 물성을 얻을 수 있고 성형성이 우수한 장점이 있지만, 유전특성이 취약할 뿐만 아니라 무기재료에 비해 기계적·열적 특성이 취약하여 차세대 신소재로의 적용에 많은 제약을 받고 있다.

따라서 “화학소재의 내열수축 및 유전특성제어기술” 확보를 위하여 2008년 산학연 컨소시엄이 구성되었으며, 현재 “분자 구조 설계 및 미세구조 제어기술을 통하여 기존 고분자소재의 부족한 내열/유전 특성을 극복할 수 있는 새로운 신소재 기술” 개발을 목표로 연구가 진행되고 있다. 본고에서는 상기 컨소시엄에서 진행하고 있는 4종의 고분자소재, 즉 저수축(CTE)소재, 고유전소재, 저유전소재, 고내열 전도도 소재에 대한 국내외 기술 동향에 대한 소개를 통하여 내열유전 고분자소재에 대한 이해를 돕고자 한다(그림 1).



전현애

1987 서울대학교 화학교육과(학사)
1989 서울대학교 화학과(석사)
1997 미국 애크론대학교 고분자공학박사(박사)
2003~ 한국생산기술연구원 경기기술지원본부 수석연구원
현재



백경열

1996 숭실대학교 섬유공학과(학사)
1999 Kyoto University 고분자화학(석사)
2002 Kyoto University 고분자화학(박사)
2002~ University of California, Berkeley
2006 Post-doc
2006~ 한국과학기술연구원 고분자하이브리드센터 선임연구원
현재



원종찬

1986 서울대학교 화학교육과(학사)
1994 서울대학교 과학교육과 화학전공(석사)
1999 Lyon 1 Univ. 고분자재료과(박사)
1986~ 한국화학연구원 화학소재연구단 책임연구원
현재



이석현

1974 서울대학교 화학과(학사)
1976 한국과학기술원 화학전공(석사)
1981 프랑스 루이파스퇴르대학(이화학박사)
1981~ 아주대학교 교수
현재

High Performance Polymer with Excellent Heat and Dielectric Properties

한국생산기술연구원 경기기술지원본부(Hyunaee Chun, Gyeong-gi Fusion R & D Division, Korea Institute of Industrial Technology, Ansan 426-171, Korea) e-mail: hachun@kitech.re.kr

한국화학연구원 화학소재연구단(Jong Chan Won, Advanced Materials Division, Polymeric Nanomaterials Lab., Korea Research Institute of Chemical Technology, P. O. Box 107, Yuseong, Daejeon 305-606, Korea)

한국과학기술연구원 고분자하이브리드센터(Kyung-Youl Baek, Korea Institute of Science and Technology, Polymer Hybrids Research Center, 39-1, Hawolgok-dong, Sungbuk-gu, Seoul 136-791, Korea)

아주대학교(Suck Hyun Lee, Department of Molecular Science and Technology, Ajou University, San 5, Woncheon-dong, Yeongtong-gu, Suwon 442-749, Korea)



그림 1. 개발 대상 소재 기술의 정의 및 대표적 응용분야.



그림 2. 미래 기술 구현에 요구되는 유망 부품 소재 기술 분야.

2. 기술 개발의 필요성

미래 사회의 화두는 flexible electronics를 기반으로 하는 ubiquitous 오감형 고도정보화 사회의 발전으로 진행될 것으로 예상하고 있으며, 이 같은 미래 사회 실현을 위해서는 기존소재기술과는 차별되는 매우 우수한 특성의 소재 기술 확보가 중요한 전제조건으로 인식되고 있다(그림 2).

그림 2에서 보여주는 것과 같이, 내열 및 유전 소재는 차세대 기술 실현에 중추적인 역할을 하는 핵심소재이나, 현재의 소재기술로는 미래 부품제조에 어려움을 겪고 있다. 예를 들면, 고분자소재는 세라믹 또는 금속에 비해 열팽창계수(CTE) 값이 수배~수십배 정도로 커서 고분자/금속 또는 고분자/세라믹을 동시에 사용하는 부품 제조 시 구성 소재간 CTE-mismatch로 인하여 물성 및 가공성에 심각한 제한을 받고 있다. 또한 고유전 고분자 소재는 내장형 수동소자로서 매우 이상적인 특성을 가지고 있으나, 유전상수값이 충분하지 않으므로 저온에서도 공정이 가능한 고유전 소재 개발이 필요하고, 향후 정보전자기술 발전에 요구되는 부품의 집적화 및 고속화를 지속적으로 달성하기 위해서는 부품 진화 속도에 필적할 만한 초저유전 소재 개발이 필요하다. 차세대 electronics의 기반 기술이 되는 전도성 고분자 소재의 경우, 고분자소재의 고전도도화 뿐만 아니라, 특히 내열 신뢰성 부족이 소재 응용에 큰 제약을 주고 있다.

따라서 IT 산업분야의 국가경쟁력 확보 및 국가 성장동력 확보를 위해서는 미래기술 실현이 가능한 수준의 우수한 내열 및 유전특성을 갖는 고분자소재 개발이 절실히 필요하다. 이 같은 내열유전 고분자 소재 기술은 해외선진사에서도 보유하지 않은 기술이므로, 기술개발 성공 시 신규시장 창출을 통한 세계시장 선점이 가능할 뿐만 아니라,

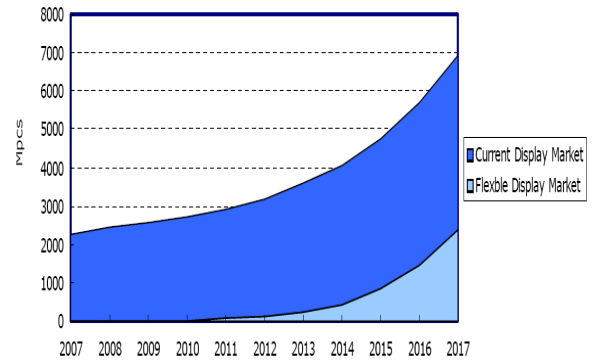
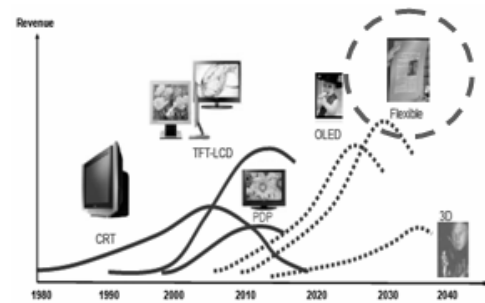


그림 3. 디스플레이 산업의 mega trend(상) 및 시장전망(하).

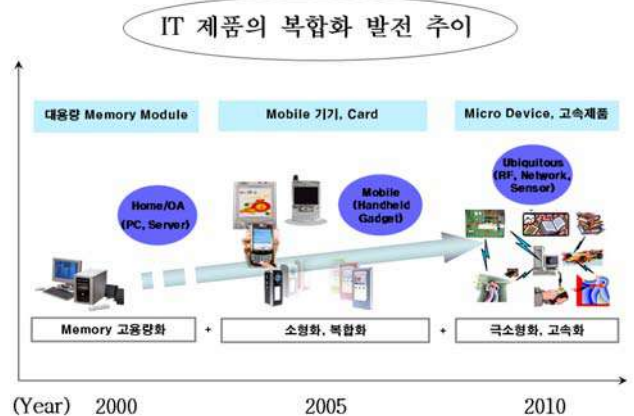


그림 4. 반도체 산업의 mega trend(상) 및 패키징 기술의 발전 전망(하).

기존시장의 경쟁력 제고에도 큰 기여를 할 것으로 예상된다. 또한 기술적으로 상업화에 근접하거나 현재 생산 중인 소재가 해외에 존재한

다고 해도 독점성이 매우 강하여 국내 수입에 따른 여러 가지 제약과 문제점이 예상되므로 대외 무역역조 개선과 최강 IT 한국 실현을 위해서는 상기 소재의 국내 개발이 이루어져야 한다.

3. 수요산업의 메가트렌드

향후 디스플레이 산업은 현재의 유리기관 평판디스플레이(FPD)에서 진화하여 플렉서블화, 대형화, 3차원 영상화가 핵심 기술이 될 것으로 예상된다. 특히 플렉서블 디스플레이 산업은 2017년경에는 전체 디스플레이 시장의 34%를 차지할 것으로 전망된다(Display search 2007). 이에 따라 디스플레이 분야 소재의 향후 트렌드는 디스플레이의 플렉서블화, 다양한 디자인성(conformability), 고성능화를 실현할 수 있도록 하는 투명소재의 고내열화, 저CTE화, 고전도도 소재 기술의 중요성이 더욱 증대할 것으로 예상된다(그림 3).

또한 반도체 산업은 고용량화, 초고속화되면서 이중 기술 및 부품의 융복합화를 통해 극소형화되는 추세로 발전해 나갈 것으로 예상된다. 이같은 융복합화 기술의 핵심기술로는 이중 재료 및 부품이 하나의 디바이스에 삽입되는 패키징 기술이 핵심이며 이를 위해서는 역시 저 CTE, 저유전 및 고유전 재료, 내열재료 등의 핵심 소재 개발이 필수적이다(international technology roadmap for semiconductors 2007) (그림 4).

4. 화학소재의 내열수축 및 유전특성 제어 기술 개발 동향

4.1 고내열 고투명 저CTE 수지 기술 개발 동향

고분자/세라믹, 고분자/금속, 고분자/고분자 등 열적 팽창특성이 다른 소재들을 동일한 부품의 구성소재로 사용하는 모든 분야에서 CTE 제어기술은 대단히 중요하다. 특히 차세대 IC substrate, PCB, packaging, OTFT, flexible display substrate 등 고집적화, 고미세화, 플렉서블화, 고성능화가 요구되는 산업분야에서 부품의 설계, 가공성 및 신뢰성 확보를 위해 고분자 소재의 CTE 제어기술이 활발히 연구되고 있다.

저CTE 특성이 요구되는 대표적인 고분자 소재로는 반도체 패키징 등에 사용되고 있는 에폭시소재가 있다(그림 5). 에폭시 레진의 CTE 기술 수준은 현재 50~80 ppm/℃(unfilled system기준)으로, 실리콘 칩과 같은 무기물이나 금속소재(예, 구리: 17 ppm/℃)에 비해 매우 높은 편이다. 따라서 반도체 부품으로의 적용 시, 에폭시 단독으로 사용되는 경우는 거의 없고, 무기입자 또는 유리섬유 등과의 복합화를 통하여 CTE값이 감소된 에폭시 복합체 시스템을 주로 사용한다. 그러

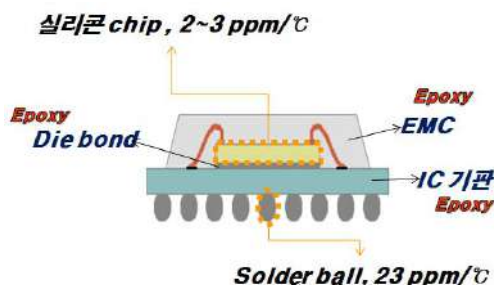


그림 5. 반도체 패키징 구조 및 구성 소재.

나 이같은 에폭시 복합체 시스템도 CTE 값이 충분히 낮지 않아서, 부품 제조 시 구성 소재간의 CTE-mismatch로 인한 크랙 생성, 기판 휨, 코팅층의 peeling-off, 기판 깨짐 등이 종종 발생한다.

차세대 반도체 기판 및 PCB 기판용 고분자 소재 개발은 일본 선진사를 중심으로 “유리섬유와 무기입자와의 복합화를 통한 CTE 저감기술에 대한 연구”로 진행되고 있다. 기판용 고분자 소재로 현재 상용화된 소재 중 물성이 가장 우수한 제품으로는 Hitachi사의 FR-5나 Mitsubishi Gas Chem사의 bismaleimide triazine(BT) 수지가 있는데, 이들의 CTE값은 14~15 ppm/℃ 수준이다(표 1 참조). 선진사의 일부 제품의 경우, 10 ppm/℃ 수준의 낮은 CTE값을 갖는 우수한 기판소재가 개발되었다고 보고되기는 하지만, 현 선진사의 어떠한 제품도 면 방향과 두께 방향 모두의 CTE 값이 차세대 기판에 요구되는 수준에 비해 아직도 높은 실정이다.

한편, 반도체 봉지제로 사용되는 에폭시수지 역시 50~80 ppm/℃의 높은 CTE 값을 갖고 있다. 현재 상용화된 반도체용 EMC는 약 2~30 μm 크기의 실리카를 70~90% 정도로 에폭시수지에 첨가하여 약 10 ppm/℃ 수준의 낮은 CTE까지 도달하였으나, 필러의 첨가에 좀 더 제한적인 언더필레의 경우는 20~40 ppm/℃의 수준의 높은 CTE 값을 보이고 있다(표 2). 그러나 이와 같이 수습 중량%의 고충전에도 불구하고 고분자시스템의 CTE는 아직도 실리콘보다 높으며, 이로 인한 기판의 휨, 기판 파괴 또는 계면파괴가 발생하는 문제점을 여전히 가지고 있다.

상기한 바와 같이 현재의 무기물 충전에 의한 에폭시 시스템의 CTE 저감기술은 이미 한계점에 도달하였을 뿐만 아니라, 현재의 고분자 기술수준으로는 점점 더 높은 스펙이 요구되는 차세대 부품 기준을 만족 시키기는 더 어려운 상황이 되었다. 예를 들어 고분자수지에 90% 정도의 필러를 첨가하는 EMC 소재기술의 경우, 고충전 필러들로 인하여 소재의 유동성이 떨어지고, 미세부품의 충전성이 나빠지므로, 고미세 고성능 부품 제조가 어려울 뿐만 아니라, silicon-compatible level 수준의 매우 낮은 CTE 값이 요구되는 향후 반도체 패키징 분야에는 높은 CTE 값으로 인하여 적용이 어려운 상황이다(그림 6). 또한 차세대 미세 박막형 기판 필름의 경우, CTE 저감효과가 큰 유리 섬유와의 복

표 1. 선진사의 PCB 및 반도체 기판용 저CTE 소재 기술

선진사	수지(상품명)		CTE(ppm/℃)		T _g (℃)
			면방향	두께 방향	
Hitachi Chem.	에폭시(FR-4)		15~20	50~70	120~135
	고내열 에폭시 (FR-5)	MCL-679	14~18	40~60(<T _g) 200~300(>T _g)	150~180
		MCL-E-679FG	14	20~30(<T _g) 100~120(>T _g)	160~170
Mitsubishi Gas Chem	BT resin(HL-830)		14~16	40~60	140~160

표 2. 선진사의 반도체 패키징용 저CTE 소재 기술 수준

	마쓰시다전기	
	Encap제*	언더필레**
CTE	8~9 ppm/℃	25~38 ppm/℃
T _g	140~150 ℃	120~℃
필러함량	87%	50%

*마쓰시다전기 CV 8710, **

Required CTE of Future Epoxy system

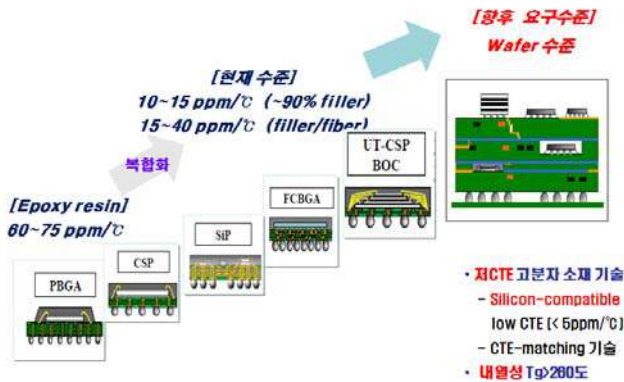


그림 6. 반도체 패키징 기술의 Trend.

표 3. 나프탈렌계 열경화수지의 내열특성

나프탈렌계	CTE (ppm/°C)		T _g (°C)	
에폭시	$\alpha_1 (T < T_g)$	$\alpha_2 (T > T_g)$	TMA	
	61	171	187	
	59	164	191	
	59	166	158	
	57	163	180	
	50	164	157	Bis-ENA
	58	127	151	Bis-EAT
	64	174	131	Bis-EP
	61	171	167	NC-3000
	60	167	199	EOCN-1020

多環芳香族型 Epoxy 樹脂, 東都化成技術資料 (2006).

합화 자체가 불가능하기 때문에 현재의 에폭시소재 기술로는 부품 제조 자체가 불가능하다는 상황에 직면해 있다.

최근까지 에폭시 시스템의 CTE 저감 연구는 비교적 접근이 용이한 필러/페브릭의 복합화를 통해 진행되고 있었으며, 수치로부터의 개선 접근방법은 장기간의 연구개발 기간과 높은 개발 cost로 인하여, 일부 수치 생산업체를 중심으로 제한적으로 진행되고 있었다. 그러나 복합화를 통한 기존 소재의 적용이 불가능한 분야가 도출되면서, 신합성법을 통하여 수치자체의 CTE를 낮추는 연구에 대한 관심이 증대되고 있으며, 다양한 구조의 신규 저CTE 에폭시수지에 대한 연구가 보고되고 있다(표 3). 현재까지 40 ppm/°C 이하의 낮은 CTE를 갖는 에폭시 수지가 상용화되지는 않았지만, 일본 선진사(대일본인크)에 의해 몇 종의 나프탈렌계 에폭시가 고내열 저CTE grade 수치로 상용화되어 있다(그림 7).

한편, 기판소재용 에폭시소재의 경쟁기술로는 폴리이미드와 액정 고분자소재 등이 고려되고 있다. 폴리이미드 소재는 유리전이온도가 높아 드릴가공 공정시 smear 발생이 적고, 두께 방향의 열팽창특성이 작아서 through-hole 신뢰성이 높은 장점이 있다. 그러나 상온에서 도체접착력이 낮고, 프리프레그 용액점도가 높아서 성형성이 나쁘다. 또

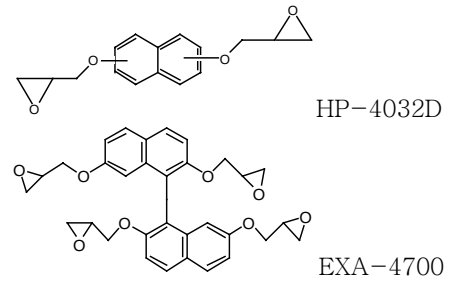


그림 7. 상용화된 선진사제품 : DIC사의 나프탈렌계 에폭시.

한 반응성이 낮아서 성형작업성이 떨어지는 문제점이 있다. 액정 고분자소재는 우수한 치수안정성을 보이나, 고분자소재의 배향성으로 인하여 배향수직방향의 물성이 매우 떨어지고, 용융이나 용액가공성이 매우 좋지 않은 문제점이 있다. 뿐만 아니라 제조원가가 높아서 범용적으로 사용하기에는 제한적일 수밖에 없다. 결론적으로 차세대 반도체 및 PCB 기판소재로는 에폭시소재가 대체를 이루고, 타 고분자소재는 부분적으로만 사용될 것으로 전망된다.

국내의 저CTE 에폭시 고분자 수지는 일부 범용 grade(반도체 EMC)의 경우 생산이 가능하며, 제일모직, KCC 등 주요기업들이 관련기술을 보유하고 있다. 그러나 차세대 PCB 및 IC substrate 등 실리콘 수준의 낮은 CTE와 우수한 가공성을 동시에 갖는 소재에 대한 기술개발은 경쟁사 대비 매우 미미한 실정이다.

4.2 내열고분자 소재의 고유전 특성 부여 기술 개발 동향

유전재료로서 사용되는 소재들은 무기재료(inorganic materials), 유기재료(organic materials) 그리고 고분자/세라믹 복합재료(polymer/ceramic composite materials)로 크게 나눌 수 있다.

무기재료는 스퍼터링(sputtering), CVD(chemical vapor deposition), 졸-겔법(sol-gel method), 양극 산화법(anodization) 등에 의하여 형성될 수 있으며 현재 사용되고 있는 무기재료들은 큰 유전손실과 주파수가 증가함에 따라 유전상수가 급격히 감소하는 특성을 보이므로 실제 제품에 응용하기에는 어려움이 있다. 스퍼터링법은 현재 산업체에서 수동소자를 제조하기 위한 방법으로 널리 이용되고 있다. 이 방법을 통하여 Fujitsu는 약 145의 유전상수(dielectric constant)를 갖는 Ba(Zr, Ti)O₃ 박막을 개발한 바 있으며, Intrasia Corporation은 약 50 nF/cm²의 용량을 갖는 알루미늄(Al₂O₃) 막을 공정에 이용하고 있다. CVD나 MOCVD(metal-organic chemical vapor deposition) 방법으로는 SrTiO₃와 (Ba, Sr)TiO₃ 같은 고유전막을 형성하고 있으며, PE-MOCVD(plasma enhanced-MOCVD) 법이 대용량 축전기에 사용되는 PbTiO₃와 Pb_xLa_{1-x}TiO₃ 막을 증착하는데 사용된다. 이런 재료들은 유전상수가 크기 때문에 50~100 nm 범위에서 두께 조절을 통해 원하는 축전용량을 얻을 수 있다는 장점이 있다. 저온 CVD법 또한 대면적 패키징을 위하여 연구되고 있으며 최근에는 약 34의 유전상수를 갖는 TiO₂ 막을 180 °C 이하의 저온에서 인쇄회로기판에 형성하는데 성공하였으며, 이를 통하여 축전용량 110 nF/cm² 이상을 갖는 축전기를 인쇄회로기판에 형성한 바 있다. 그러나, 이 방법으로 증착된 무기재료들은 큰 유전손실과 주파수가 증가함에 따라 유전상수가 급격히 감소하는 특성을 보이므로 실제 제품에 응용하기에는 어려움이 있다. 대표적인 제조방법인 졸-겔법은 PLTZ 형태의 큰 유전상수를 갖는 박막형성에 응용되어 왔으며 미국의 Sandia National Lab.에서 PLTZ계 재료를 가지고 유전상수 900을 얻는데 성

공하였으며 AVX Corporation은 최근 졸-젤법을 이용하여 명목상의 유전상수의 최대값인 1,000 정도의 PZT 재료를 제조하였다. 그러나 졸-젤법으로 형성한 파우더는 최종적으로 소결을 통하여 제품의 제조에 이용되고 있어 높은 소결온도가 실용화에 큰 장애가 된다.

금속 전구체를 이용하여 고유전율을 갖는 금속 산화물 나노 입자를 제조하는 연구로는 Harvard 대학의 박흥근 교수의 BaTiO₃ 나노 입자의 합성이 발표되었는데, 복합체의 경우 물질의 균일성을 얻기 위해 단일 화합물에 같은 원소를 포함하는 경우 균일한 조성을 갖는 나노복합체를 얻기에 유리한 것으로 알려져 있다. 미국의 University of Arkansas와 Sheldahl Corporation은 허용할 수 있는 누설전류와 절연과괴전압 범위 내에서 유전상수 약 22를 갖는 Ta₂O₅막의 형성에 성공하여 50~100 nF/cm² 범위의 축전용량을 가지는 축전기를 양극산화법으로 제조한 바 있다. 그러나 양극산화법으로 제조된 대부분의 재료들은 100 °C 이상의 온도에서 절연 파괴전압이 낮아지기 때문에 양극산화법 또한 실제 제품에 적용하기에는 해결되어야 할 문제점이 내재되어 있다.

고유전 상수를 갖는 고분자재료들은 단일상이 되면 다상계 재료의 분산으로부터 기인하는 여러 가지 문제점에 자유롭기 때문에 내장형 축전기의 제조에 사용되기에 이상적인 재료이다. 최근 Penn. State Univ. 연구팀은 PVDF copolymer 막에 대하여 먼저 radiation 처리한 후 전기장을 걸어 폴링(polling)하는 방법으로 유전상수 100을 갖는 PVDF electroactive copolymer를 제조하였다고 보고하였다. 또한 일본의 Shizuoka 대학에서는 극성의 시아노기를 가지는 고분자를 이용하여 유전상수 20 이상을 개발하였고 독일의 German Plastic Institute 및 영국의 University of Wales는 PVDF와 관련 공중합체를 이용하여 유전상수 8 이상의 고분자 유전체를 제조한 바 있다. 그러나 이러한 방법은 높은 단가, 낮은 수율 그리고 다음 공정과의 적합성의 문제로 한계가 있어 대면적의 내장형 축전기의 제조에 적용하기에는 한계가 있다.

전도성 고분자를 이용하는 경우는 PANI/PVA 복합체의 경우 약 200에서 1,000 정도의 유전 상수를 나타낸다고 보고하고 있다. 다른 예로, poly(vinylidene fluoroethylene-trifluoro ethylene)으로 코팅된 폴리아닐린 입자의 경우 1 KHz에서 1,000 이상의 고유전 상수를 보여준다고 보고되었다. Poly(vinylidene fluoride-trifluoroethylene-chlorotrifluoroethylene) terpolymer 매트릭스와 폴리아닐린 전도성 입자로 구성된 유기고분자 포커레이티브 복합체에서 23%의 폴리아닐린을 복합화하여 100 Hz와 1 MHz에서 각각 1925, 151의 고유전 특성이 나타남을 보고하였다. *In-situ* 중합에 의한 폴리아닐린/에폭시

복합체의 경우 10 kHz에서 3,000 정도의 유전 상수를 보인다는 결과를 보고하였다. Zhang group에서는 고분자 매트릭스($k > 50$)와 10,000 이상의 고유전 상수를 갖는 공액구조의 올리고머 Cu-phthalocyanine 올리고머를 복합화하여 뛰어난 안정성과 더불어 우수한 유전특성을 보임을 보고하였다. 고분자/세라믹 복합재료는 깨지기 쉽고 공정이 어려우며 기계적 강도가 낮은 세라믹 재료의 단점을 극복할 수 있는 소재로 각광받고 있다.

그러나 유기-무기입자간의 상호작용이 좋지 않아 이 단점을 극복하기 위하여 1-methoxy-2-propyl acetate, isopropyl tris(*N*-amino-ethylaminoethyl)titanate, 3-amino-propyl-triethoxy-silane 등과 같은 커플링제를 이용하여 분산성을 좋게 한 고유전 소재를 만드는 연구가 진행되고 있으며, 또한 polyimide를 합성하는 단계에서 무기 고유전 소재를 첨가하는 *in-situ* polymerization으로 무기-유기 복합체의 분산성을 극복하려는 연구도 진행되고 있다. 대표적인 예로 Cornell University, TPL industries, 3M Corporation, IBM, Ormet Corporation, Osaka University, Dow Corning 그리고 Raychem Corporation 등이 있으며 이들은 고분자/세라믹 나노복합기술을 응용하여 수동소자 재료에 관한 연구를 진행중이다. 위 연구기관의 연구결과로 일반적으로 고분자/세라믹 나노복합소재에서 얻을 수 있는 유전상수는 10에서 75 정도의 범위이고, capacitancy density는 4에서 25 nF/cm² 정도의 값을 가진다는 것이 보고되어 있다.

국내에는 한국과학기술원의 백경욱교수팀이 에폭시/BaTiO₃ 복합체를 이용하여 유전 상수 100 및 capacitancy density 10 nF/cm²를 달성한 바 있다. KIST에서는 BaTiO₃을 tiol처리하여 유전율을 향상시키는 방법, 한국화학연구원에서는 고유전성 BaTiO₃ 입자를 block copolymer로 표면처리하여 PS 수지에 효과적으로 분산하여 고유전 특성을 가지는 복합체를 제조하여 발표한 바 있으며 고려대 윤호규교수팀에서 PPO에 적용한 결과를 발표하였다. 두산전자, 일진소재, 삼성전기 등에서 capacitor 관련 고유전 고분자 소재에 대한 연구 검토를 하였으나 기술 개발은 이뤄지지 않고 있다.

내장형 수동소자에 사용되는 소재 및 회사는 다음과 같다(표 4).

대표적으로 미국 산미나(Sanmina)는 두께가 100 μm 이하인 축전기가 내장된 모든 내장형 PCB에 대한 포괄적인 기술 특허권을 보유하고 있고, 특히 신뢰성을 검증받은 축전기 원재료인 BC-2000에 대해서도 물질 특허권을 보유하고 있다.

다층회로기판의 한 층을 커패시터 재료로 대체가 가능하며 기존의 PCB 제작공정인 회로형성공정을 그대로 사용할 수 있는 이점이 있

표 4. High k Materials for Embedded Capacitor and Properties

Maker	Organic Laminate			Screen Printable Composition	
	Sanmina	DuPont	3M	DuPont	Sanmina
Trademark	BC-2000	Hik	C-Ply		EmCap
Materials	FR-4 impregnated with BaTiO ₃ in epoxy resin	BaTiO ₃ in polyimide cast on copper foil	BaTiO ₃ dispersed in epoxy resin	glass powder and BaTiO ₃ (ferroelectric) in polymer	BaTiO ₃ dispersed in epoxy resin
Dielectric Constant(1 KHz)	4	12~20	22		36
Capacitance(nF/in ²)	0.5	1.5	10~30	100~180	2.1
Thickness(μm)	50	8~25	5~25	50~70	100
tanδ%(1 KHz)	0.021	0.01	0.10		0.06
Remark	Commercially Available technology Tolerance : ±0.015 nF	More process than Laminate film type Low breakdown Voltage	High capacitive Density Low breakdown Voltage	More process than Laminate film type Higher capacitance density *On developing	

나, 유전율이 4 전후로 조성하는 정전 용량 값이 작아 특수 고주파회로에 응용할 수 있는 수준이다.

산미나의 이러한 기술은 축전기를 기판 내에 내장하는 선도 역할을 맡았다는 점에서는 실장기술면에서의 새로운 전개라고 할 수 있으나, 더욱 적극적으로 수동소자를 내장시키기 위한 전용 수지 시트 개발이 최근 미국이나 일본에서 활발히 진행되고 있다.

스크린 인쇄기술을 이용해 커패시터를 형성할 수 있는 페이스트(paste) 재료는 간단한 공정에 비해 정전 용량이 낮아 현재 널리 사용되고 있지는 않다.

고용량의 커패시터를 구현하기 위해 티탄산 바륨과 유리 분말이 사용되고 있으며, 스크린 인쇄기술을 이용할 수 있는 세라믹 페이스트 재료도 개발 중이다.

4.3 초저유전 소재의 고강도화 기술 개발 동향

보통 많은 용량을 단시간에 처리하기 위해서 반도체 소자의 집적도를 증가시키는데, 이는 소자의 게이트 폭(배선과 배선의 폭)이 좁아짐을 뜻하며 이로 인하여 트랜지스터의 스위칭 속도가 증가하게 됨으로써 소자의 고속화를 이룰 수가 있다. 하지만 LSI와 같이 다층배선기술(multilayered microelectronic system)을 사용한 고밀도 칩의 속도는 스위칭 속도보다는 고밀도 칩 상의 배선간의 좁은 선포에 따른 RC time delay(R은 도체의 저항, C는 부도체의 커패시턴스)에 의해서 결정되므로, 고속의 칩을 제조하기 위해서는 저항이 작은 도체와 유전율이 낮은 물질의 개발이 필수적이다. 현재 금속배선물질의 경우, 기존의 Al에서 전기전도도가 우수한 Cu 대체되는 추세이며, 현재 90 nm급 이하의 logic 소자에 Cu가 적용되고 있다. 하지만, 반도체 배선감소에 효과적으로 대응할 수 있는 저유전 소재의 개발은 아직까지 불투명한 상태로, ITRS에서 제시한 로드맵을 보더라도, 배선 폭의 감소속도에 비해 계속해서 저유전 소재의 개발이 지연되고 있음을 알 수 있다(그림 8).

저유전 소재는 도입하는 공정방법에 따라 화학증착법(CVD)과 용액 스핀코팅법(SOD)이 있으며, 현재 대부분의 반도체 공정에 있어서 기존의 CVD 공정을 통하여 50 nm급 공정까지 저유전 소재를 도입할 수 있는 기술을 확보하고 있는 상태이다. 반면, SOD 공정의 경우, 공정의 단순함과 초기 설치비용이 저렴함에도 불구하고, 기존 CVD 기반의 반도체 공정을 대체해야 하는 부담이 있기에 아직까지 실질적으로 공정에 이용되고 있지는 않은 실정이다. 향후 40 nm급 이하의 선

폭에서 필요로 하는 유전상수 2.2 이하의 초저유전소재의 경우, 벌크의 매트릭스 소재로는 달성이 어렵기 때문에 유전상수가 1인 공극(공극)이 들어간 기공소재가 필요한 실정이며, SOD 공정의 경우, CVD 공정과 비교하여 매우 작은 사이즈(2 nm 이하)의 기공을 균일하게 분포시킬 수 있기 때문에 현재 활발하게 연구되고 있는 실정이다. 이러한 기공이 도입된 초저유전 소재는 도입된 기공으로 말미암아 벌크의 소재와 비교하여 강도가 크게 감소하게 되어 표 5에서와 같은 반도체 공정에서 요구되어지는 높은 온도와 압력, 강한 화학적 처리와 같은 조건을 완벽하게 충족시키기 어렵기 때문에, 유전상수의 저감화뿐만 아니라 이를 극복할 수 있는 고강도, 고내열, 고화학적 안정성을 갖는 초저유전 소재의 개발이 필요하다.

이러한 문제점을 극복하기 위하여 기존의 저유전체(매트릭스)보다 강도가 우수하며, 유전상수가 낮고, 유무기 혼성화 반응이 가능한 유기실리케이트의 설계, 미반응 그룹과 구조 결합이 최소화된 신규 매트릭스 소재의 개발이 필요하며, 기공을 형성시키는 포라젠의 경우, 매트릭스와 상분리가 생기지 않으면서 소결 후 재가 발생하지 않는 Ash-free 반응형 기공형성수지를 개발하여 기공이 닫힌 형태(closed)의 나노 사이즈의 기공크기를 균일하게 분포할 수 있도록 해야 한다.

표 5에서와 같이, 반도체 소재의 요구 특성에 있어서 SiO_2 는 유전상수를 제외하고는 가장 신뢰성이 있는 소재로서 배선 폭이 180 nm까지 가장 많이 사용되어진 소재였으나($k=3.9\sim 4.5$, 모듈러스= $55\sim 73$ GPa, 내열성 = $\sim 500^\circ\text{C}$, breakdown voltages = ~ 6 MVcm $^{-1}$), 배선 폭 감소에 따른 유전상수의 한계에 따라 이를 극복할 수 있는 다양한 유기소재 및 기공이 도입된 porous 소재 등이 저유전 소재로 검토되어져 왔다. 공정에 따라 CVD용 소재와 SOD용 소재로 나뉘며, 대부분의 CVD용 소재는 실리콘에 유기그룹이 도입된 유기실리케이트 소재로 이루어진 반면, SOD용 소재의 경우, 유기실리케이트 소재뿐만 아니라 고내열성 유기고분자소재 등이 검토되었다(표 6). 하지만, 무기물이 들어간 유기실리케이트 소재와 비교하여 내열성 유기고분자소재의 경우, 열적안정성, 특히 CTE가 무기물에 비해서 매우 커 반도체 공정적용에 대부분 실패를 하였으며, 현재 DOW사에 제조하고 있는 polyarylene계열의 SiLKTM만이 유기고분자 소재로서 중간질 연물질로 검토되고 있는 실정이다. 일반적으로 $k < 2.7$ 이하(65 nm 선포)까지는 벌크소재(dense material)로서 사용되어질 수 있으나, 그 이하의 유전상수에 도달하기 위해서는 기공이 도입된 기공소재(porous material)가 필요한 실정이다.

현재 삼성, IBM, Fujitsu 및 Intel의 반도체 제조업체에서 연구 개발되고 있는 90 nm급 Cu/Low-k 소재개발의 핵심기술요소는 dual-damascene 공정을 적용한 Cu배선과 유전상수가 2.4 이하를 갖는

표 5. 반도체 공정에 있어 증간절연 저유전 소재의 요구특성

Electrical	Mechanical	Thermal	Chemical	General
$k < 2.5$	Good Adhesion	Low Thermal Expansion	Metal Corrosion Resistance	Low Cost
High Breakdown Voltage	CMP Resistance	Low Thermal Shrinkage	Etch Availability by RIE	Commercially Available
Low Leakage Current	Crack Resistance	Thermal stability ($\sim 450^\circ\text{C}$)	Low Wet Solubility	Environmentally Safe
Low Defect Density	Delamination	High Thermal Conductivity	<1% Moisture Absorption	Uniformity

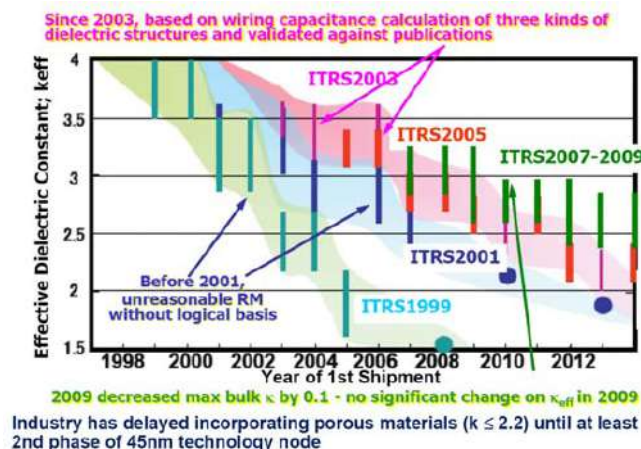


그림 8. 2009년 ITRS 저유전 소재관련 로드맵.

저유전체를 중간절연체로 사용하고 있으며, 90 nm급 이하에 차세대 반도체 공정에 적용되어질 저유전 절연막 개발에 대한 원재료 및 공정시장을 두고 세계적인 반도체 업체인 Intel, IBM, Samsung, TSMC 등의 회사와 Dow Chemical, JSR, AMT와 같은 저유전체 제조 화학 업체간의 표준경쟁이 가속화되고 있는 실정이다.

현재 저유전 소재의 개발은 미국과 일본을 중심으로 하는 화학소재 업체에 의하여 대부분 개발되어지고 있으며 이들 소재업체는 반도체 회사와 긴밀한 협조 하에서 저유전 소재의 개발 및 공정의 표준화를 추진하고 있다. 예를 들어 반도체 회사인 IBM은 화학소재업체인 DOW Chemical과, Intel은 ASM과 Sony는 JSR과 긴밀하게 협력하고 있으며, 최근에 IBM과 JSR이 유전율 2.2 이하에 대응할 수 있는 초저 유전 소재의 개발의 공동연구를 발표하였다. 표 7에 해외선진사에 의해 제조된 대표적인 저유전 소재를 정리하였다.

국내의 경우 새로운 저유전체 개발과 구리를 이용한 배선 기술의 필요성은 충분히 인식하고 있지만 본격적인 연구·개발 활동은 이루어

지지 않고 있으며 기존의 기술을 향상, 보완하는 수준이다. 그 동안 국내에서는 저유전 재료의 중요성을 인식하면서도, 외국에서 개발된 재료 그대로나 이를 개질한 재료를 선택하여 왔다. 한국 반도체 산업을 선도하는 삼성전자 역시 Dow Corning이 개발한 회전코팅 방식의 절연재료인 XLK를 이용해 공동 프로젝트를 추진 중에 있으며, 극미세 공정 기술을 선도한다는 계획이다. 하지만 아직까지 화학소재업체에 의한 저유전 소재에 관한 연구는 미비한 수준으로, 학계의 경우, 서울대, 서강대, 화학연구원, 연세대, 한국과학기술연구원 등을 중심으로 관련 연구가 진행되고 있다.

4.4 유기계 플라스틱 도전체의 내열 고전도도화 기술 동향

전도성 고분자에 관한 연구가 1980년대에서 90년대 폭발적으로 증가하다가 90년대 말 실용화 한계가 노출되고서 주춤한 후 2000년 세 과학자가 노벨상을 받으면서 다시 급증하고 있다. 2000년부터 2009년 불과 10년 동안 전도성 고분자에 관한 공개된 출판건수는 18,000건에서 42,000건으로 2배 이상 증가하였다. 지난 30여년 동안 이렇게 많은 연구개발 활동에도 불구하고 전도성 고분자는 중합반응에서 도핑 및 디도핑과 전기전도성 그리고 내열 환경특성 등 핵심 물성에 대한 이해가 아직도 부족하여 산업소재로서 널리 쓰이지 못하고 있다. 그 원인은 이들 공액계 유기고분자가 구조에 따라 절연체에서 반도체, 도체로 이행하는 다양한 전기활성을 나타내면서 근원적으로 복잡한 구조-물성을 보이는데 반해 연구개발에 있어서 용해성이나 가공성이 부족하여 첨단 화학 분석기법이 잘 활용되지 못한 데 있다. 여기서는 전도성 고분자에 관한 문헌이 풍부하기 때문에 필자 연구실에서 관심을 갖고 추구하는 스마트 재료로서 폴리아닐린을 택하여 최근 문헌에 나타난 내용을 간략하게 살펴보고자 한다.

4.4.1 중합반응

전도성 고분자는 용해성이 거의 없기 때문에 현재 상업적으로 이용되고 있는 것은 대부분 나노분산체이다. 잘 알려진 상품명 Baytron P/Clevios P인 폴리티오펜은 전해질 poly(styrenesulfonate) (PSS) 과 poly[3,4(ethylenedioxy)thiophene] (PEDOT)로 구성된 나노입자가 물에 분산된 것이고 Ormecon사의 PANi도 수용성/비수용성 나노분산체로 되어 있다. 전도성 고분자 나노입자들이 분산된 계는 별도로 제조한 고분자를 postpolymerization 분산시키거나 직접 불균일 분산상 중합으로 제조되는데 입자의 크기나 구조에 대한 정보는 제공되지만 정작 중요한 고분자 자체의 구조적 정보는 거의 없다. 일반적으로 폴리아닐린 합성반응은 크게 전기화학적 방법과 화학적 방법으로 나뉜다. 어느 경우든 아직도 중합반응 기구는 잘 정리되어 있지 않고 논점이 여전히 존재한다. 이중결합이 하나 건너 나타나는 공액 고분자의 반응은 일반적으로 단위체와 이합체, 삼합체, 올리고머에 이르기까지 이들의 용해성과 반응성이 크게 변하기 때문에 대부분의 중합반응과는

표 6. 다양한 증간절연물질(CVD=chemical vapor deposition, SOD=spin-on deposition)

Dielectric Material	Deposition Method	k
Dense Material		
Silicon dioxide	CVD	3.9~4.5
Fluorosilicate glass (FSG)	CVD	3.3~4.0
polyimides	SOD	3.1~3.4
HSSQ	SOD	2.9~3.2
Diamond-like carbon (DLC)	CVD	2.7~3.4
Carbon-doped oxide/(CDO)	CVD	2.8~3.2
parylene N	CVD	2.7
Benzocyclobutenes	SOD	2.6~2.7
Fluorinated polyimides	SOD	2.5~2.9
Silsesquioxanes	SOD	2.6~2.8
Polyarylene ethers	SOD	2.7~2.9
Polyarylenes	SOD	2.6~2.7
parylene-F4	CVD	2.4~2.5
Fluoropolymers	SOD/CVD	1.9~2.1
Porous Material		
Porous organic	SOD	2.1~2.2
Aerogels (silica)	SOD	1.8
Xerogels (silica)	SOD	2.0~2.5
Mesoporous silicas	SOD	1.3~2.6
Mesoporous organosilicas	SOD	1.8~2.2
Porous HSSQ/MSSQ	SOD	1.5~2.2
Zeolite nanocrystals	SOD	1.8~2.3
Porous CDO	CVD	2.0~2.5

표 7. 선진 화학소재업체의 저유전 물질

구분	기술명	개발 단계	개발 내용	개발 주체
SOD	유기 고분자계의 다공질소재	상용화	SiLK-Y; 기공사이즈 1.9 nm, 모듈러스 3.1G Pa, 하드니스 0.20 Gpa, 유전율 2.2	DowChemical(미국)
SOD	무기 실록산 다공질소재	상용화	HOSP+GX-2/3 및 Nanoglass+다공질 GX를 개발; 유전율 2.2, 모듈러스 4.5 GPa, 하드니스0.4 GPa	Honeywell(미국)
CVD	90 nm급 공정에 이용	상용화	BlackDiamond; 유전율 2.4의 SiOC low-k	Applied Materials(미국)
SOD	65 nm급 대응 무기 다공질소재	-	HSG-255; 유전율 2.3이하, 하드니스 1.3 GPa, 모듈러스 12 GPa	日立化成工業(일본)
SOD	도포형 무기 다공질소재	상용화	ISM; 기공 사이즈 다양, 매질기를 SiO ₂ 에 도입, 유전율 2.4, 모듈러스 8 GPa	Ulvac(일본)
SOD	45 nm급 대응 무기 다공질소재	상용화	JSR LKD; 내열온도 450도, 흡수율 0.1이하, 유전율 1.9~2.2의 다공질 유무기 소재	JSR(일본)

차이가 있다. 흔히 올리고머 접근법으로 알려진 바닥부터 올라가는 전략이 주목을 받아온 것은 단위체에 비하여 올리고머의 반응성이 급격하게 감소하기 때문이다. 단위체가 연결되고 반응활성물이 라디칼 전하를 띠면 사슬길이에 따라 용해도뿐만 아니라 공명에 의한 안정화 효과가 다르게 나타나고 결과적으로 산도가 변하면서 계속적인 단위체 연결이 어려워진다. 때문에 반응을 지배하는 단계가 라디칼 양이온의 커플링 반응인지 또는 양성자 제거 반응인지 모호해진다. 전기화학적 합성에 관심 있는 독자는 최근 리뷰논문을 참조하기 바란다.

이주대 연구실에서는 계면활성제나 입체안정화제를 사용하지 않고 스스로 안정화되는 자체분산 중합법을 고안하여 PANi를 합성한 결과 사슬구조가 종래의 MacDiarmid 방식으로 합성한 경우보다 물성이 개선되었다. 전통적인 방법으로 합성한 PANi는 고분자 사슬이 30% 이상의 오르소 연결 결합을 보여 주었는데 비해 자체분산법으로 제조한 폴리아닐린은 이 결합이 7% 미만이었다. 이렇게 선형성이 개선된 PANi는 전기전도도가 1,000 S/cm 이상 월등하고 순수 금속성거동을 보여 주었다. X-선 회절 결과 결정화도의 큰 차이가 없는 것으로 보아 격자 또는 그 이상의 결합들이 있더라도 고르게 분포되어 구역을 형성할 정도로 모여 있지 않으면 금속성이 나타날 수 있음을 의미한다.

최근 본 연구실에서는 치환기를 갖는 기능성 아닐린 단위체를 만들어 자체분산 중합법을 계속 시도하고 있다. 만일 단위체 아닐린과 아닐린 벤젠고리에 친수성 또는 소수성 결합지를 도입한 단위체를 소량 혼합하여 자체중합하면 10 nm 이하 폴리아닐린 입자가 자발적으로 안정화되는 스마트한 입자를 얻을 수 있었으며 흥미로운 것은 치환기를 갖는 단위체가 소량 포함되어도 전기전도도는 거의 유지되는 결과를 보인 것이다. 현재 100리터 규모 반응기를 제작하여 자체분산 중합에 의해 PANi를 생산하는 단계에 와 있다. 문제는 학술적으로 규명되어야 할 중합 반응메커니즘이 아직도 불분명하여 반응에 영향을 미치는 여러 인자의 제어가 쉽지 않다는데 있다.

4.4.2 내열고전도도화

대부분의 공업적으로 흥미를 보이는 전도성 고분자의 전기전도도는 10^{-5} 에서 10^2 S/cm이며 최근에는 1,000 S/cm 이상 주장하는 제품도 출시되고 있다. 전기전도도에 미치는 내외적 인자들이 너무 많기 때문에 의미있는 결과를 찾기는 어렵다. 일반적으로 중합온도를 낮추어 분자량을 높이고 입체적으로 장애가 큰 유기산을 도판트로 택하여 좋은 용매에 최대한 용해시켜 필름을 제조하거나 섬유를 만들고, 나노분산체의 경우 나노입자 크기를 10~20 nm 이하로 줄이고 잘 분산시킬수록 고전도도를 실현시킬 수 있는 것으로 알려져 있다. 그러나 이런 전도도 특성이 환경적으로 안정하기 위해서는 아직도 해결하지 않으면 안될 기술상 난제가 존재한다. 도판트의 소실이나 수분 그 밖의 공기 중 산소 또는 자외선, 기타 오염원 접촉에 의한 변성 등 그 원인은 쉽게 인식되지만 이들이 복잡하게 연결되어 있어 해결책은 체계적으로 접근하지 않으면 강구하기 어렵다. 필자 연구실에서는 우선 새로운 유형의 도판트를 개발하여 내열성 향상을 시도하고 있으며 흥미 있는 결과는 도판트가 술폰산기외에 수소결합이나 또 다른 산 등 이중 작용기를 가지면 내열 환경 특성이 향상된다는 것이다. 특히 한국과학기술연구원에서 개발한 내열성이 우수한 PPSQ에 술폰산기가 도입된 도판트를 이용하면 온도가 섭씨 200도까지 상승하여도 전기전도도는 오히려 증가하여 음의 저항계수를 보여주었다(그림 9).

4.4.3 전도성 고분자 응용

스마트한 재료는 합성, 가공, 구조-물성 어느 단계에서나 스스로 알

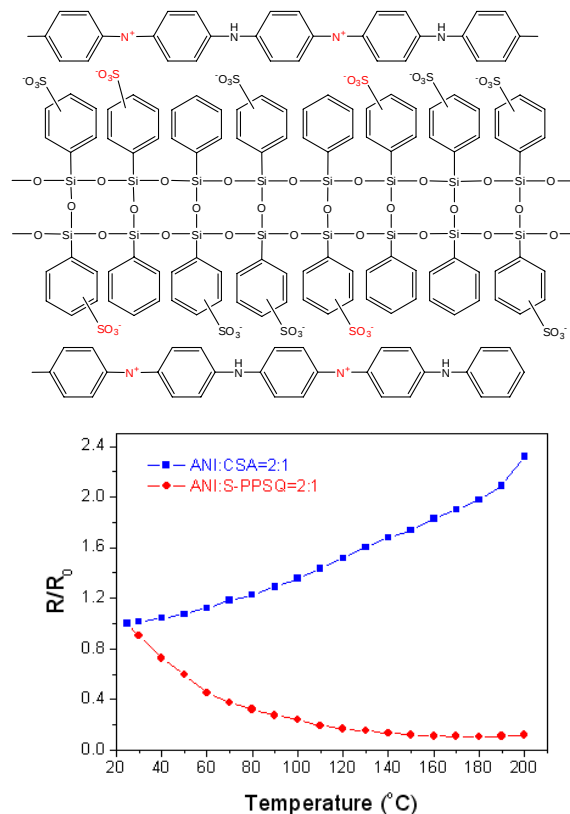


그림 9. PPSQ/PANI 도전체의 화학구조 및 온도에 따른 저항 변화.

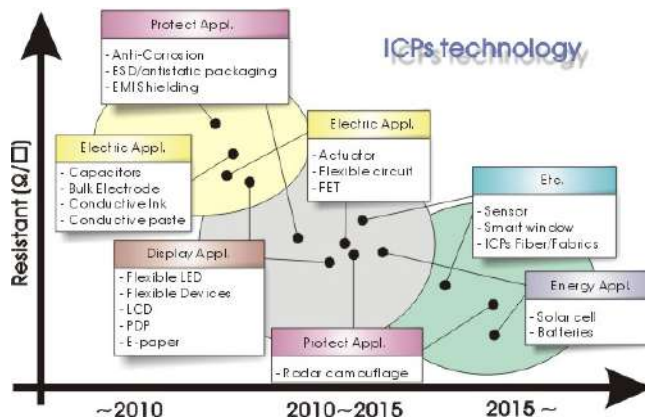


그림 10. 전도성 고분자 특성에 따른 연도별 기술개발 road-map.

아서 주위 환경에 맞는 기능이 발현되는 재료로 볼 수 있다. PANi를 대상으로 계면활성제 도움 없이 스스로 자체 분산 안정되는 중합이나 나노입자 그리고 물리적 차단뿐만 아니라 전기화학적 환경에 적응하면서 스스로 내식성을 보이는 도료가 좋은 예이다. 폴리아닐린 만이 주로 쓰일 수 있는 시장으로서 부식방지제 시장에 주목하는 것은 일반 내식성 도료와 다르게 음/양 전극 보호 기능을 갖기 때문이다. 따라서 PANi를 사용하면 스크래치나 핀홀에 저항하게 되고 전통적인 three-coat 계가 아닌 한 번의 얇은 박막으로 부식방지 기능을 구현할 수 있으므로 재료 절감 효과가 크다. 이 기술은 Ormecon에서 오래전부터 개발하여 상품화한 기술이며 현재 세계적 철구조물 교량인 샌프란시스코 금문교를 시범적으로 선정 시험 중에 있다. 내식성 ICP도료는 자동차 하부, 인쇄기판 등 다양한 금속표면을 보호하는 개발로 향하고

있으며 최근 GeoTech Chemical로부터 기술을 사들인 Poly One Corp.는 수명을 30년 이상 늘리는 것으로 보고하고 있다.

PANI와 같은 전기활성을 띠는 고분자는 반도체에서 도체까지 활용 범위가 매우 넓다. 전기전도도 수준에 따라 그 용도가 결정되기 때문에 현장에 직접 가서 거기에 맞는 방식으로 보관하고 도핑 등 후공정을 실시하지 않으면 보급이 어렵다. 코팅과 같이 가장 많이 적용되는 분야는 대전방지, 부식방지, 투명전극, 센서 등 표면 특성의 활용이기 때문에 비교적 쉽게 사용이 가능하지만 벌크로 사용되는 분야는 도전성 잉크, 전도, 열전, 전열 특성을 갖는 기능성 섬유, 태양전지, 연료전지 또는 슈퍼커패시터, 전자파차폐재, 센서와 구동체 등은 현지화가 필요하다. 지면 관계상 정보통신 소재관련 다양한 용도는 이들 기술 로드맵을 나타내는 것으로 마무리 한다(그림 10).

참고문헌

1. “유망전자부품재료 조사 총람”, 후지키메라 (2005).
2. “Flexible Display Report”, DisplaySearch (2006).
3. “2008 일렉트로닉스 고분자 재료의 현황과 채용전망”, 후지키메라 (2008).
4. “최신 일렉트로닉스 실장 대전집”, 기술정보협회.
5. “2015 산업기술 비전 및 산업기술 R&D 전략”, 산업자원부 (2006).
6. “半導体用およびプリン配線板用の高分子材料”, 住ベリサーチ株式會社 (2008).
7. “高性能デバイス封止技術と最先端材料”, シーエムシー出版 (2009).
8. “2007 有望電子部品材料”, 富士キメラ總研 (2007).
9. D. Shamiryan, T. Abell, F. Iacopi, and K. Maex, *Materials Today*, **7**, 34 (2004).
10. J. Xu and C. P. Wong, in *Handbook of Nanoceramics and Their Based Nanodevices*, T.-Y. Tseng and H. S. Nalwa, Editors, American Scientific Publishers, California, Vol. 2, Ch. 12 (2009).
11. P. Dutta, *Mater. Res. Bull.*, **37**, 193 (2002).
12. C. Huang, Q. M. Zhang, and J. Su, *Appl. Phys. Lett.*, **82**, 3502 (2003).
13. J. Lu, K.-S. Moon, B.-K. Kim, and C. P. Wong, *Polymer*, **48**, 1510 (2007).
14. Q. M. Zhang, H. Li, M. Poh, F. Xia, Z.-Y. Cheng, H. Xu, and C. Huang, *Nature*, **419**, 284 (2002).
15. B. I. Lee and L. Qi, in *Handbook of Nanoceramics and Their Based Nanodevices*, T.-Y. Tseng and H. S. Nalwa, Editors, American Scientific Publishers, California, Vol. 2, Ch. 9 (2009).
16. 김일두 and 홍재민, KR Pat. 10-0813177.
17. H. M. Jung, J.-H. Kang, S. Y. Yang, J. C. Won, and Y. S. Kim, *Chem. Mater.*, **22**, 450 (2010).
18. Y. K. Jang, J. C. Won, and H. G. Yoon, *Appl. Phys. Lett.*, **95**, 052907 (2009).
19. W. Volksen, R. D. Miller, and G. Dubois, *Chem. Rev.*, **110**, 56 (2010).
20. P. Singer, *SemiconductorInternational*, Nov.67 (1997).
21. *Handbook of Multi-level Metalization for Integrated Circuits, Materials, Technology and Applications*, Noyes Publications, Park Ridge, NJ, 1993.
22. International Technology Roadmap for Semiconductors (ITRS) 2009 Edition Interconnect, <http://www.itrs.net/home>.
23. A. Grill, D. Edelstein, D. Restaino, M. Lane, S. Gates, E. Liniger, T. Shaw, X. H. Liu, D. Klaus, V. Patel, S. Cohen, E. Simonyi, N. Klymko, S. Lane, K. Ida, S. Vogt, T. van Kleeck, C. Davis, M. Ono, T. Nogami, and T. Ivers, *Proc. IEEE Int. Interconnect Technol. Conf.*, 7th 54 (2004).
24. R. H. Baney, M. Itoh, A. Sakakibara, and T. Suzuki, *Chem. Rev.*, **95**, 1409 (1995).
25. D. Shamiryan, T. Abell, F. Iacopi, and K. Maex, *Materials Today*, **7** (2004).
26. C. Brinker and G. Scherer, in *Sol-Gel Science: The Physics and Chemistry of Sol-Gel Processing*, Academic Press, New York, 1990.
27. R. H. Baney, M. Itoh, A. Sakakibara, and T. Suzuki, *Chem. Rev.*, **95**, 1409 (1995).
28. N. P. Hacker, L. K. Figge, and S. Lefferts (Honeywell International Inc., U.S.A.), U.S. 6,743,856 B1 (2004).
29. M. Baklanov, M. Green, and K. Maex, *Dielectric Films for Advanced Microelectronics*, WILEY, 2007.
30. “전자부품용 고분자재료의 최근동향 IV”, Sumibe techno 주식회사.
31. J. Heinze, B. A. Frontana-Urbe, and S. Ludwigs, *Chem. Rev.*, **110**, 4724 (2010).
32. J. Heinze and P. Tschuncky, *The Oligomer Approach*, K. Mullen and G. Wegner, Editors, VCH-Wiley, Weinheim, p.479 (1998).
33. A. G. MacDiarmid, J. C. Chiang, A. F. Richter, N. L. D. Somarisi, and A. J. Epstein, *Conducting Polymers*, L. Alcacer, Editor, Reidel, Dordrecht, p.105 (1987).
34. H. Namgoong, D. J. Woo, and S.-H. Lee, *Macromol. Res.*, **15**, 633 (2007).
35. K. Lee, S. Cho, S. H. Park, A. J. Heeger, C.-W. Lee, and S.-H. Lee, *Nature*, **441**, 65 (2006).